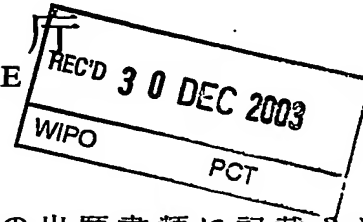


Rec'd PCT/PTO-19 JUN 2005
09.12.03

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月24日

出願番号
Application Number: 特願2002-373027
[ST. 10/C]: [JP2002-373027]

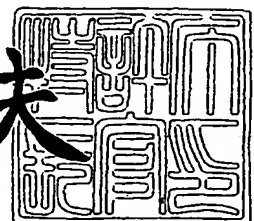
出願人
Applicant(s): サンケン電気株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3090211

【書類名】 特許願

【整理番号】 A0216

【提出日】 平成14年12月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 7/04

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

【氏名】 山田 智康

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

【氏名】 嶋田 雅章

【特許出願人】

【識別番号】 000106276

【氏名又は名称】 サンケン電気株式会社

【代理人】

【識別番号】 100095407

【弁理士】

【氏名又は名称】 木村 満

【選任した代理人】

【識別番号】 100109449

【弁理士】

【氏名又は名称】 毛受 隆典

【手数料の表示】

【予納台帳番号】 038380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0017501

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置及びスイッチング電源装置の制御方法

【特許請求の範囲】

【請求項 1】

第 1 のコイル、オン・オフするスイッチング動作を繰り返し、前記第 1 のコイルに入力電圧に対応するスイッチング電流を繰り返して流す第 1 のスイッチング素子、及び充電素子を有し、該スイッチング電流が流れることで前記第 1 のコイルに蓄えられたエネルギーを直流電圧化して前記充電素子に充電する力率改善回路と、

前記充電素子に充電された直流電圧を所定の直流出力電圧に変換して負荷に供給する直流直流変換回路と、

前記負荷の消費電力に対応する該負荷の重さを観測し、該負荷の重さが所定値よりも下回る軽負荷状態であるか、該負荷の重さが所定値以上の非軽負荷状態であるかを検出し、該負荷の状態を示す信号を出力する負荷状態検出手段と、

前記負荷状態検出手段の出力信号を入力し、前記非軽負荷状態であることを該出力信号が示す期間には強制的に第 1 のレベルとなり、該非軽負荷状態から軽負荷状態に移行したことを該出力信号が示したときはその移行から所定時間経過した後に該第 1 のレベルから第 2 のレベルに遷移する指示信号を生成する期間設定手段と、

前記指示信号が第 1 のレベルのときには、前記力率改善回路に、前記スイッチング動作の結果で得られる前記エネルギーの充電を実施させ、該指示信号が第 2 のレベルのときには該充電を停止させる切替手段と、

を備えたことを特徴とするスイッチング電源装置。

【請求項 2】

前記所定時間は、 $100\mu\text{sec}$ から 10sec の範囲であることを特徴とする請求項 1 に記載のスイッチング電源装置。

【請求項 3】

前記負荷状態検出手段は、前記負荷の重さと前記信号との関係に、前記力率改善回路での前記充電の実施と停止とが安定して切替る方向のヒステリシスを持た

せていることを特徴とする請求項 1 又は 2 に記載のスイッチング電源装置。

【請求項 4】

前記期間設定手段は、前記負荷状態検出手段の出力信号と前記指示信号との関係に、前記力率改善回路での前記充電の実施と停止とが安定して切替る方向のヒステリシスを持たせていることを特徴とする請求項 1 又は 2 に記載のスイッチング電源装置。

【請求項 5】

前記切替手段は、前記力率改善回路の第 1 のスイッチング素子のスイッチング動作を停止することで、前記充電を停止させることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のスイッチング電源装置。

【請求項 6】

前記直流直流変換回路は、第 2 のコイル、オンしたときに該第 2 のコイルに前記入力電圧に対応するスイッチング電流を流し、オフしたときに該スイッチング電流を遮断する第 2 のスイッチング素子、及び該第 2 のスイッチング素子のスイッチングするタイミングを設定する制御信号を発生する制御回路を備え、

前記負荷状態検出手段は、前記制御信号に基づき前記負荷の重さを観測することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のスイッチング電源装置。

【請求項 7】

コイル、オン・オフするスイッチング動作を繰り返し、前記コイルに入力電圧に対応するスイッチング電流を繰り返して流すスイッチング素子、及び充電素子を備え、該スイッチング電流が流れることで前記コイルに蓄えられたエネルギーを直流電圧化して前記充電素子に充電する力率改善回路と、

前記充電素子に充電された直流電圧を所定の直流出力電圧に変換して負荷に供給する直流直流変換回路と、を備えるスイッチング電源装置に対し、

前記負荷の消費電力に対応する該負荷の重さを観測し、該負荷の重さが所定値よりも下回る軽負荷状態であるか、該負荷の重さが所定値以上の非軽負荷状態であるかを判定し、

前記判定結果が前記非軽負荷状態である期間には、強制的に前記力率改善回路に前記充電を実施させ、前記判定結果が該非軽負荷状態から軽負荷状態に移行し

たときには、その移行から所定時間経過した後に該力率改善回路に該充電を停止させることを特徴とするスイッチング電源装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、力率改善回路を搭載したスイッチング電源装置に関するものである。

【0002】

【従来の技術】

図11は、従来のスイッチング電源装置を示す回路図である。

このスイッチング電源装置では、交流電源1に接続された全波整流回路2の出力側に設けられた力率改善回路 (Power Factor Improvement Circuit) と、力率改善回路の出力側に設けられたDC/DC変換回路とを有する。

力率改善回路は、コイル3と、Nチャネル型MOSトランジスタ (以下、NMOSという) 4と、ダイオード5と、コンデンサ6と、PFC部制御回路7とを備えている。

【0003】

力率改善回路では、PFC部制御回路7の出力する制御信号によってNMOS4がオン、オフし、コイル3にスイッチング電流を繰り返して流す。スイッチング電流は、全波整流回路2が発生する脈動電圧の瞬時値に比例する。スイッチング電流が流れることにより、コイル3にエネルギーが蓄えられ、そのエネルギーがダイオード5を介して直流電圧化されてコンデンサ6に充電される。

【0004】

DC/DC変換回路は、トランス8と、NMOS9と、ダイオード10と、コンデンサ11と、DC/DC部制御回路12と、出力電圧検出回路13とを備えている。

DC/DC部制御回路12は、NMOS9のオン、オフを制御する回路であり、DC/DC部制御回路12の出力端子は、NMOS9のゲートと接続されている。出力電圧検出回路13は、コンデンサ11の充電電圧を検出してDC/DC

部制御回路 12 に与える回路である。

【0005】

このスイッチング電源装置には、さらに、負荷状態検出回路 14 と、PFC オンオフ切換回路 15 とが、設けられている。負荷状態検出回路 14 は、DC/DC 部制御回路 12 に接続されている。負荷状態検出回路 14 と力率改善回路の PFC 部制御回路 7 との間に PFC オンオフ切換回路 15 が配備されている。PFC オンオフ切換回路 15 は、PFC 部制御回路 7 を起動させるか、停止させるものである。

【0006】

このスイッチング電源装置では、PFC 部制御回路 7 が発生する制御信号に基づき、NMOS 4 がオン、オフする。NMOS 4 がオンしたときに、コイル 3 にスイッチング電流が流れてエネルギーが蓄積される。NMOS 4 がオフした期間に、そのエネルギーがダイオード 5 を介してコンデンサ 6 に供給され、コンデンサ 6 が充電される。コンデンサ 6 には、交流電源 1 が発生する交流電圧よりも高い電圧 E_0 が充電される。

【0007】

一方、DC/DC 部制御回路 12 が NMOS 9 のゲートに与える制御信号により、NMOS 9 がオン、オフする。NMOS 9 がオンしたときに、コンデンサ 6 からトランス 8 の一次巻線 8a にスイッチング電流が流れてエネルギーが蓄積される。NMOS 9 がオフしたときに、そのエネルギーがダイオード 10 を介してコンデンサ 11 に充電される。コンデンサ 11 には、負荷 16 に供給するための直流電圧 V_0 が充電される。

【0008】

出力電圧検出回路 13 は、直流電圧 V_0 のレベルを検出し、直流電圧 V_0 のレベルを示す電圧信号を、DC/DC 部制御回路 12 に与える。DC/DC 部制御回路 12 は、出力電圧検出回路 13 から与えられた電圧信号に基づき、NMOS 9 をオン、オフするタイミングを設定する制御信号を発生する。この制御信号により、NMOS 9 はオン、オフする。負荷状態検出回路 14 は、例えば制御信号から負荷 16 が軽いか、重いかを検出し、この検出結果を出力する。

【0009】

負荷状態検出回路14から負荷16が所定値よりも重いことが示されたときには、PFCオンオフ切換回路15は、PFC部制御回路7から制御信号を発生させてスイッチング動作を継続させ、その結果で得られるエネルギーをコンデンサ6に充電させる。

【0010】

逆に、負荷状態検出回路14から負荷16が所定値よりも軽いことが示されたときには、PFCオンオフ切換回路15は、PFC部制御回路7からの制御信号を低レベル（“L”）に固定させ、スイッチング動作を停止させる。これにより、スイッチング電流によって生じたエネルギーのコンデンサ6への充電が停止する。この状態では、DC/DC変換回路のみが動作する。

このように、従来の力率改善回路を搭載したスイッチング電源装置には、負荷の状態に基づいて力率改善回路の動作を停止させる装置があった（例えば、特許文献1参照）。

【0011】

【特許文献1】

特開平8-111975号公報

【0012】

【発明が解決しようとする課題】

前述したように、従来のスイッチング電源装置では、負荷16が軽い場合には力率改善回路が停止するので、低消費電力化が実現できたが、次のような課題があった。その課題を図12を参照しつつ、説明する。

【0013】

図12は、従来のスイッチング電源装置の課題を説明するためのタイミングチャートである。

負荷16の消費電力が多く負荷16が重いときには、負荷16に流れる負荷電流 I_0 が増加し、負荷16の消費電力が少なく負荷16が軽いときには、負荷16に流れる負荷電流 I_0 が減少し、コンデンサ11の充電電圧 V_0 が変動しようとする。DC/DC部制御回路12は、出力電圧検出回路13で検出される電圧が

一定になるような制御信号を発生し、NMOS 9 のオン、オフするタイミングを設定する。

【0014】

ここで、例えば時刻 t_1 で負荷 16 が所定値を下回れば、制御信号のデューティ比が変化する。負荷状態検出回路 14 は、そのデューティ比から負荷 16 の状態を検出し、負荷 16 が軽い期間に、例えば低レベル（以下、“L” という）の信号 S 14 を発生する。“L” の信号 S 14 が発生している期間には、PFC オンオフ切換回路 15 により、PFC 部制御回路 7 から NMOS 4 に与える制御信号が“L” に固定され、力率改善回路が停止する。即ち、NMOS 4 のスイッチングが停止される。

【0015】

力率改善回路が停止することにより、コンデンサ 6 の充電電圧 E_0 が降下する。力率改善回路が停止したままであれば、コンデンサ 6 の充電電圧 E_0 は、全波整流回路 2 の発生する脈動電圧の実効値の近傍の電圧 E_1 [V] になる。

時刻 t_2 で負荷 16 が再び重くなって力率改善回路が動作を開始しても、力率改善回路の起動性は悪いので、コンデンサ 6 の充電電圧 E_0 は、時刻 t_2 からすぐには上昇しない。それどころか、負荷 16 が過負荷状態になっているので、充電電圧 E_0 が急激に降下する。その後の時刻 t_3 から、充電電圧 E_0 が緩やかに上昇する。

【0016】

コンデンサ 6 の充電電圧 E_0 が完全に上昇するまでに、再び時刻 t_4 で負荷 16 が軽くなると、再び力率改善回路が停止してコンデンサ 6 の充電電圧 E_0 がそのときの電圧から降下を開始する。

【0017】

以上のように、負荷 16 が軽くなる状態と重くなる状態とが交互に現れると、コンデンサ 6 の充電電圧 E_0 が、大幅に落ち込む期間 $t_{12} \sim t_{13}$, $t_{15} \sim t_{16}$, $t_{17} \sim t_{18}$ が発生する。このような期間 $t_{12} \sim t_{13}$, $t_{15} \sim t_{16}$, $t_{17} \sim t_{18}$ には、コンデンサ 6 の充電電圧 E_0 が、DC/DC 変換回路の出力電圧 V_0 を一定に保持するのに最低必要な充電電圧値 E_2 [V] を下

回る。この現象が発生すると、DC/DC変換回路の出力電圧、つまり、コンデンサ11の充電電圧 V_0 が低下（ディップ）するという問題があった。

【0018】

本発明は、負荷が変動しても、出力電圧が安定するスイッチング電源装置を提供することを目的とする。

【0019】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の観点に係るスイッチング電源装置は、第1のコイル、オン・オフするスイッチング動作を繰り返し、前記第1のコイルに入力電圧に対応するスイッチング電流を繰り返して流す第1のスイッチング素子、及び充電素子を有し、該スイッチング電流が流れることで前記第1のコイルに蓄えられたエネルギーを直流電圧化して前記充電素子に充電する力率改善回路と、前記充電素子に充電された直流電圧を所定の直流出力電圧に変換して負荷に供給する直流直流変換回路と、前記負荷の消費電力に対応する該負荷の重さを観測し、該負荷の重さが所定値よりも下回る軽負荷状態であるか、該負荷の重さが所定値以上の非軽負荷状態であるかを検出し、該負荷の状態を示す信号を出力する負荷状態検出手段と、前記負荷状態検出手段の出力信号を入力し、前記非軽負荷状態であることを該出力信号が示す期間には強制的に第1のレベルとなり、該非軽負荷状態から軽負荷状態に移行したことを該出力信号が示したときはその移行から所定時間経過した後に該第1のレベルから第2のレベルに遷移する指示信号を生成する期間設定手段と、前記指示信号が第1のレベルのときには、前記力率改善回路に、前記スイッチング動作の結果で得られる前記エネルギーの充電を実施させ、該指示信号が第2のレベルのときには該充電を停止させる切替手段と、を備えたことを特徴とする。

【0020】

このような構成を採用したことにより、力率改善回路の第1のスイッチング素子がスイッチング動作を行い、第1のコイルにスイッチング電流を流す。第1のコイルにスイッチング電流が流れたことにより、第1のコイルにエネルギーが蓄えられ、そのエネルギーに相当する直流電圧が充電素子に充電される。直流直流

変換回路では、充電素子に充電された直流電圧を所定の直流出力電圧に変換して負荷に供給する。

【0021】

負荷状態検出手段は、軽負荷状態であるのか非軽負荷状態であるのかを出力信号で示す。期間設定手段は、負荷状態検出手段の出力信号が非軽負荷状態を示すときには、強制的に第1のレベルを取り、非軽負荷状態から軽負荷状態に移行したときには、その移行から所定時間が経過したときに第1のレベルから第2のレベルに遷移する指示信号を発生する。即ち、この指示信号では、非軽負荷状態のとき第1のレベルであり、軽負荷状態になってから所定時間が経過するまでは第1のレベルであり、所定時間が経過した後に、第2のレベルになる。又、所定時間が経過する前に、非軽負荷状態になったときには第1のレベルのままである。よって、軽負荷状態になったことが、所定時間マスクされる。よって、軽負荷状態と非軽負荷状態とが所定時間よりも短い間隔で交互に発生しても、充電素子には、継続してスイッチング動作に起因したエネルギーが充電されるので、充電素子の直流電圧が高く維持され、負荷に供給する直流出力電圧が必要以上に降下することを防止できる。

【0022】

なお、前記所定時間は、 $100\mu\text{sec}$ から 10sec の範囲であってもよい。又、前記負荷状態検出手段は、前記負荷の重さと前記信号との関係に、前記力率改善回路での前記充電の実施と停止とが安定して切替る方向のヒステリシスを持たせてもよい。

【0023】

又、前記期間設定手段は、前記負荷状態検出手段の出力信号と前記指示信号との関係に、前記力率改善回路での前記充電の実施と停止とが安定して切替る方向のヒステリシスを持たせてもよい。

又、前記切替手段は、前記力率改善回路の第1のスイッチング素子のスイッチング動作を停止することで、前記充電を停止させてもよい。

【0024】

又、前記直流直流変換回路は、第2のコイル、オンしたときに該第2のコイル

に前記入力電圧に対応するスイッチング電流を流し、オフしたときに該スイッチング電流を遮断する第2のスイッチング素子、及び該第2のスイッチング素子のスイッチングするタイミングを設定する制御信号を発生する制御回路を備え、前記負荷状態検出手段は、前記制御信号に基づき前記負荷の重さを観測してもよい。

【0025】

上記目的を達成するために、本発明の第2の観点に係るスイッチング装置の制御方法は、コイル、オン・オフするスイッチング動作を繰り返し、前記コイルに入力電圧に対応するスイッチング電流を繰り返して流すスイッチング素子、及び充電素子を備え、該スイッチング電流が流れることで前記コイルに蓄えられたエネルギーを直流電圧化して前記充電素子に充電する力率改善回路と、前記充電素子に充電された直流電圧を所定の直流出力電圧に変換して負荷に供給する直流直流変換回路と、を備えるスイッチング電源装置に対し、前記負荷の消費電力に対応する該負荷の重さを観測し、該負荷の重さが所定値よりも下回る軽負荷状態であるか、該負荷の重さが所定値以上の非軽負荷状態であるかを判定し、前記判定結果が前記非軽負荷状態である期間には、強制的に前記力率改善回路に前記充電を実施させ、前記判定結果が該非軽負荷状態から軽負荷状態に移行したときには、その移行から所定時間経過した後に該力率改善回路に該充電を停止させることを特徴とする。

【0026】

【発明の実施の形態】

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係るスイッチング電源装置を示す構成図である。図2は、図1中のDC/DC部制御回路35、出力電圧検出回路36及び負荷状態検出回路40を示す回路図である。図3は、図1中の期間設定回路41を示す回路図である。図4は、図1中のPFCオンオフ切換回路42を示す回路図である。

【0027】

このスイッチング電源装置は、図1に示すように、交流電源1が発生する交流

電圧を整流する全波整流回路 2 の出力側に設けられた力率改善回路 20 と、力率改善回路 20 の出力側に設けられた DC/DC 変換回路 30 と、負荷状態検出回路 40 と、期間設定回路 41 と、PFC オンオフ切換回路 42 とを備え、負荷 L に直流電圧 V_0 を供給する。

【0028】

力率改善回路 20 は、非絶縁形であり、コイル 21 と、Nチャネル型 MOS トランジスタ（以下、NMOS という）22 と、ダイオード 23 と、充電素子であるコンデンサ 24 と、PFC 部制御回路 25 とを備えている。

【0029】

コイル 21 の一端は、全波整流回路 2 の正極に接続され、コイル 21 の他端が、スイッチング素子である NMOS 22 のドレインとダイオード 23 のアノードとに接続されている。NMOS 22 のソースは、全波整流回路 2 の負極に接続されている。ダイオード 23 のカソードは、充電素子としてのコンデンサ 24 の一方の電極に接続され、コンデンサ 24 の他方の電極は、全波整流回路 2 の負極に接続されている。

【0030】

PFC 部制御回路 25 は、NMOS 22 がオン、オフするタイミングを設定する制御信号 S25 を生成するタイミング制御回路 25a を備えている。タイミング制御回路 25a の出力端子が、図 1 のように、NMOS 22 のゲートに接続されている。コンデンサ 24 の充電電圧 E_0 が、力率改善回路 20 の出力電圧になる。

【0031】

DC/DC 変換回路 30 は、変成器（以下、トランスという）31 と、スイッチング素子である NMOS 32 と、ダイオード 33 と、コンデンサ 34 と、DC/DC 部制御回路 35 と、出力電圧検出回路 36 とを備えている。

【0032】

トランス 31 は、互いに電磁結合する一次巻線 31a と二次巻線 31b とを有し、一次巻線 31a の一端が、力率改善回路 20 のダイオード 23 のカソードとコンデンサ 24 の一方の電極との接続点に接続されている。

トランス 31 の一次巻線 31 a の他端には、NMOS 32 のドレインが接続されている。NMOS 32 のソースは、コンデンサ 24 の他方の電極に接地されている。

【0033】

トランス 31 の二次巻線 31 b の一端には、ダイオード 33 のアノードが接続されている。ダイオード 33 のカソードは、コンデンサ 34 の一方の電極に接続されている。コンデンサ 34 の他方の電極は、二次巻線 31 b の他端と共に接地されている。

【0034】

NMOS 32 のゲートは、DC/DC 部制御回路 35 の出力端子と接続されている。

DC/DC 部制御回路 35 は、図 2 のように、NMOS 32 のオン、オフするタイミングを設定する制御信号 S 35 を発生する制御信号発生部 35 a を備え、その制御信号発生部 35 a の出力端子が DC/DC 部制御回路 35 の出力端子になっている。DC/DC 部制御回路 35 の出力する制御信号 S 35 が高レベル（以下、“H” という）の期間に NMOS 32 がオンし、低レベル（以下、“L” という）の期間に NMOS 32 がオフする。

【0035】

コンデンサ 34 は、直流電圧 V_0 を充電するものである。この直流電圧 V_0 は、DC/DC 変換回路 30 の出力電圧であると共に、スイッチング電源装置の出力電圧となる。コンデンサ 34 の一方の電極とダイオード 33 のカソードとの接続点に、出力電圧検出回路 36 が接続されている。

【0036】

出力電圧検出回路 36 は、例えば図 2 のように、直列の抵抗 36 a, 36 b で構成されている。抵抗 36 a の一端がコンデンサ 34 の一方の電極とダイオード 33 のカソードとの接続点に接続され、抵抗 36 b の一端がグランドに接地されている。抵抗 36 a 及び抵抗 36 b の接続点が、出力電圧検出回路 36 の出力端子になり、コンデンサ 34 の充電電圧 V_0 を分圧した信号を DC/DC 部制御回路 35 へ出力する。

【0037】

DC/DC部制御回路35の出力端子に、負荷状態検出回路40が接続されている。負荷状態検出回路40は、負荷Lの重さを観測し、負荷Lの重さが所定値よりも軽い軽負荷状態か、それよりも負荷Lが重い非軽負荷状態かを判別する回路である。

【0038】

負荷状態検出回路40は、例えば直列の抵抗40a及び抵抗40bと、コンデンサ40cと、比較器40dと、基準電源40eとを備えている。抵抗40aの一端がDC/DC部制御回路35の出力端子に接続され、抵抗40bの他端が接地されている。抵抗40aと抵抗40bとの接続点が、コンデンサ40cの一方の電極と比較器40dの入力端子(+)とに接続されている。

【0039】

コンデンサ40cの他方の電極が接地されている。比較器40dの他方の入力端子(-)には、基準電源40eが接続されている。比較器40dの出力端子が、負荷状態検出回路40の出力端子となり、比較器40dの出力端子からは、軽負荷状態のときに“L”、非軽負荷状態のときに“H”となる信号S40が出力される。

【0040】

期間設定回路41は、信号S40を入力し、負荷Lが非軽負荷状態であることが信号S40で示されている期間には強制的に“H”となり、負荷Lが非軽負荷状態から軽負荷状態に移行したことが示されたときには、それから一定の時間T遅れて“H”から“L”に遷移する信号S41を出力する回路である。時間Tは、制御系の応答特性及び消費電力の低減効果を考慮すると、実用上100 μ sec～10secが好ましい。

【0041】

期間設定回路41は、例えば図3に示すように、負荷状態検出回路40からの信号S40をゲートに入力するNMOS41aと、コンデンサ41bと、定電流源41cと、シュミットトリガ回路41dとを、備えている。

NMOS41aのソースは接地され、NMOS41aのドレインが、コンデン

サ 4 1 b の一方の電極に接続されている。コンデンサ 4 1 b の他方の電極は、接地されている。コンデンサ 4 1 b の一方の電極と NMOS 4 1 a のソースとの接続点には、定電流源 4 1 c とシュミットトリガ回路 4 1 d の入力端子とが接続されている。シュミットトリガ回路 4 1 d の出力端子が、期間設定回路 4 1 の出力端子となり、信号 S 4 1 を出力する。

【0042】

期間設定回路 4 1 と力率改善回路 2 0 中の PFC 部制御回路 2 5 との間に PFC オンオフ切換回路 4 2 が配置されている。PFC オンオフ切換回路 4 2 は、図 4 に示すように、信号 S 4 1 をゲートに入力する例えば P チャネル型 MOS トランジスタ（以下、PMOS という）4 2 a で構成することができる。PMOS 4 2 a のソースは、PFC 部制御回路 2 5 の出力端子に接続され、PMOS 4 2 a のドレインが、接地されている。PMOS 4 2 a は、ゲートに “L” の信号 S 4 1 が与えられている期間にオンし、PFC 部制御回路 2 5 で出力する制御信号 S 2 5 を “L” に固定し、NMOS 2 2 がオンすることを妨げる。即ち、力率改善回路 2 0 としての動作を停止させるものである。

【0043】

次に、このスイッチング電源装置の動作を説明する。

PFC 部制御回路 2 5 が発生する制御信号 S 2 5 が “H” のときに、NMOS 2 2 がオンし、制御信号 S 2 5 が “L” のときに NMOS 2 2 がオフする。NMOS 2 2 がオンしている期間に、コイル 2 1 にスイッチング電流が流れてエネルギーが蓄積される。NMOS 2 2 がオフした期間に、そのエネルギーがダイオード 2 3 を介してコンデンサ 2 4 に供給され、コンデンサ 2 4 が充電される。コンデンサ 2 4 には、交流電源 1 で発生する交流電圧よりも高い電圧 E_0 が充電される。

【0044】

一方、DC/DC 部制御回路 3 5 が NMOS 3 2 のゲートに与える制御信号 S 3 5 が “H” のときに、NMOS 3 2 はオンし、制御信号 S 3 5 が “L” のときに NMOS 3 2 はオフする。NMOS 3 2 がオンした期間に、コンデンサ 2 4 からトランス 3 1 の一次巻線 3 1 a にスイッチング電流が流れてエネルギーが蓄積

される。NMOS 32 がオフしたときに、二次巻線 31b 及びダイオード 33 を介してそのエネルギーがコンデンサ 34 に充電される。コンデンサ 34 には、負荷 L に供給するための直流電圧 V_0 が充電される。

【0045】

出力電圧検出回路 36 は、直流電圧 V_0 に比例する電圧を抵抗 36a 及び 36b で生成し、直流電圧 V_0 のレベルを示す信号を DC/DC 部制御回路 35 に与える。DC/DC 部制御回路 35 は、出力電圧検出回路 36 から与えられた信号に基づき、直流電圧 V_0 を一定化するように、制御信号 S35 を発生する。その結果、負荷 L の消費電力が少ない軽負荷の場合には、負荷 L の消費電力が大きい負荷が重い場合に比べて、制御信号 S35 における“H”の期間が短くなる。

【0046】

負荷状態検出回路 40 の抵抗 40a 及び抵抗 40b は、“H”と“L”が繰り返される制御信号 S35 のレベルを分圧すると共に、平滑化してコンデンサ 40c に充電する。負荷状態検出回路 40 の比較器 40d は、コンデンサ 40c から与えられた電圧と基準電源 40e から与えられた基準電圧とを比較する。コンデンサ 40c から与えられた信号が基準電圧よりも低いとき、比較器 40d は“L”を出力し、基準電圧よりも高いときには“H”を出力する。即ち、負荷状態検出回路 40 は、負荷 L が所定値よりも重い非軽負荷状態のときに“H”を出力し、負荷 40 が所定値よりも軽い軽負荷状態のときに“L”を出力信号 S40 として出力する。

【0047】

負荷状態検出回路 40 の出力信号 S40 が“H”の場合には、期間設定回路 41 中の NMOS 41a はオン状態であり、コンデンサ 41b の一方の電極と NMOS 41a のソースとの接続点を接地させている。この状態では、シュミットトリガ回路 41d の出力信号は強制的に“H”となる。負荷 L が軽くなって、負荷状態検出回路 40 の出力信号 S40 が、“H”から“L”になったときには、NMOS 41a がオフして、コンデンサ 41b の一方の電極がグランドから切り離される。コンデンサ 41b には、定電流源 41c から充電電流が流れ、コンデンサ 41b は、コンデンサ 41b の容量値と定電流源 41c の電流供給能力とで定

まる速度で充電され、コンデンサ 41b の充電電圧は上昇する。

【0048】

コンデンサ 41b の充電電圧が、シュミットトリガ回路 41d の閾値を超えると、シュミットトリガ回路 41d の出力信号 S41 が “H” から “L” に変化する。即ち、負荷状態検出回路 40 の出力信号 S40 が、“H” から “L” になったときには、それから所定時間 T が経過した後に、シュミットトリガ回路 41d の出力信号 S41 が “L” に遷移する。

【0049】

ここで、シュミットトリガ回路 41d は、入力信号と出力信号との間にヒステリシスを設定する回路であり、シュミットトリガ回路 41d の閾値を、信号 S40 が “H” から “L” に遷移するときよりも、信号 S40 が “L” から “H” に遷移するときの方が高くなるように設定しておくこと、コンデンサ 41b の充電電圧の変動によって出力信号 S41 が乱れることが、防止される。

【0050】

逆に、シュミットトリガ回路 41d が “L” を出力しているときに、負荷 L が重くなって負荷状態検出回路 40 の出力信号 S40 が “L” から “H” に遷移したときには、NMOS 41a がオンする。NMOS 41a がオンすることにより、コンデンサ 41b の一方の電極が接地されると共に、シュミットトリガ回路 41d の入力端子が接地されるので、急峻にシュミットトリガ回路 41d の出力信号が “H” に遷移する。

【0051】

期間設定回路 41 の出力信号であるシュミットトリガ回路 41d の出力信号 S41 は、PFC オンオフ切換回路 42 の PMOS 42a のゲートに与えられる。

PMOS 42a は、負荷 L が重く、信号 S40 が “H” の期間には、PFC 部制御回路 25 の出力する制御信号 S25 をそのまま NMOS 22 に与える。これにより、NMOS 22 がオン、オフする。信号 S41 が “L” の期間には、PMOS 42a はオンして PFC 部制御回路 25 の出力端子を接地するので、制御信号 S25 が “L” に固定される。よって、NMOS 22 は、オフ状態に固定され、スイッチング動作が停止され、力率改善回路 20 として機能しなくなる。

【0052】

ここで、負荷Lの消費電力が変化して軽重が変化したときのDC/DC変換回路30の出力電圧の状態を、図5を参照しつつ、説明する。

図5は、図1のDC/DC変換回路30の出力電圧の状態を説明するためのタイミングチャートである。

【0053】

負荷Lが重くなると、図5のように負荷Lに流れる負荷電流I₀が増加し、負荷Lが軽くなると負荷電流I₀が減少する。負荷Lの重さの変化に伴ってDC/DC部制御回路35が発生する制御信号S₃₅も変化する。負荷Lが軽くなれば、“H”の期間が減少する。負荷状態検出回路40は、負荷Lが所定値以下に軽くなった軽負荷状態を制御信号S₃₅から検出し、出力信号S₄₀のレベルを“H”から“L”に遷移させる。又、負荷Lが増加して所定値を越えた非軽負荷状態を検出したときには、負荷状態検出回路40は、出力信号S₄₀を“L”から“H”に遷移させる。

【0054】

負荷状態検出回路40の出力信号S₄₀が“H”から“L”に遷移したときに、期間設定回路41は、それから所定時間Tが経過した後に出力信号S₄₁を“H”から“L”に遷移させる。所定時間Tが経過する前に、負荷状態検出回路40の出力信号S₄₀が“L”から“H”に戻ったときには、期間設定回路41の出力信号S₄₁のレベルは“H”のまま維持される。

【0055】

期間設定回路41の出力信号S₄₁が“L”になった期間(t₁₀～t₁₁, t₁₄～t₁₅)には、PFCオンオフ切換回路42が力率改善回路20の力率改善動作を停止し、低消費電力モードになる。この期間には、力率改善回路20の出力電圧であるコンデンサ24の充電電圧E₀は降下する。低消費電力モードが長ければ、コンデンサ24の充電電圧E₀は、全波整流回路2が発生する脈動電圧に対応する電圧を平滑化した電圧E₁になるまで降下する。

【0056】

負荷Lが重くなって期間設定回路41の出力信号S₄₁が再び“H”に遷移し

たときに (t_{11} , t_{15})、力率改善回路 20 の起動特性が悪いので、コンデンサ 24 の充電電圧 E_0 は、急峻には上昇せず、負荷 L が重くなった分だけしばらくの間降下するが、DC/DC 変換回路 30 の出力電圧 V_0 を一定に維持するために必要な電圧 E_2 以下になる前 (t_{12} , t_{16}) に、上昇し始める。よって、DC/DC 変換回路 30 の出力電圧 V_0 が一定に維持される。負荷 L が繰り返して軽くなり、負荷状態検出回路 40 の出力信号 S_{40} が、断続的に“L”になる場合でも、コンデンサ 24 の充電電圧 E_0 は、電圧 E_2 以下になることがなく、DC/DC 変換回路 30 の出力電圧 V_0 が変動することがない。

【0057】

以上のように、この実施形態のスイッチング電源装置では、負荷状態検出回路 40 と期間設定回路 41 とを備えたので、DC/DC 変換回路 30 の出力電圧 V_0 の変動を抑制でき、負荷 L の誤動作も抑制できる。

【0058】

[第 2 の実施形態]

図 6 は、本発明の第 2 の実施形態に係るスイッチング電源装置を示す構成図である。

前述の第 1 の実施形態では、コイル 21 を用いた非絶縁形力率改善回路 20 を搭載したスイッチング電源装置を説明したが、種々の力率改善回路を搭載することが可能である。また、第 1 の実施形態のスイッチング電源装置の DC/DC 変換回路 30 は、トランス 31 を使用しているが、トランスを使用しない DC/DC 変換回路を搭載してもよい。本実施形態のスイッチング装置は、絶縁形の力率改善回路 50 と昇圧型の DC/DC 変換回路 60 とを搭載すると共に、負荷状態検出回路 70 と、期間設定回路 71 と、PFC オンオフ切換回路 72 とを備えている。

【0059】

力率改善回路 50 は、トランス 51 と、NMOS 52 と、ダイオード 53 と、コンデンサ 54 と、PFC 部制御回路 55 とを備えている。

交流電源 1 が発生する交流電圧を整流する全波整流回路 2 の正極に、トランス 51 の一次巻線の一端が接続され、一次巻線他端に NMOS 52 のドレインが

接続されている。NMOS 52のソースは、全波整流回路2の負極に接続されている。

【0060】

トランス51の二次巻線の一端に、ダイオード53のアノードが接続され、ダイオード53のカソードにコンデンサ54の一方の電極が接続されている。コンデンサ54の他方の電極は、トランス51の二次巻線の他端と共に接地されている。NMOS 52のゲートにPFC部制御回路55の出力端子が接続されている。PFC部制御回路55は、第1の実施形態のPFC部制御回路25と同様の回路である。

【0061】

DC/DC変換回路60は、コイル61と、NMOS 62と、ダイオード63と、コンデンサ64と、DC/DC部制御回路65と、出力電圧検出回路66とを備えている。

【0062】

コイル61の一端は、力率改善回路50のコンデンサ54とダイオード53との接続点に接続されている。コイル61の他端には、NMOS 62のドレインとダイオード63のアノードとに接続されている。ダイオード63のカソードが、コンデンサ64の一方の電極に接続されている。コンデンサ64の他方の電極は、NMOS 62のソースと共に接地されている。コンデンサ64の両電極間に負荷Lが接続される。

【0063】

DC/DC部制御回路65は、第1の実施形態のDC/DC部制御回路35と同様の回路であり、DC/DC部制御回路65の出力端子がNMOS 62のゲートに接続されている。出力電圧検出回路66は、出力電圧検出回路36と同様の回路であり、コンデンサ64の一方の電極とダイオード63のカソードとの接続点に接続されている。出力電圧検出回路66の出力端子がDC/DC部制御回路65に接続されている。

【0064】

負荷状態検出回路70、期間設定回路71及びPFCオンオフ切換回路72は

、第1の実施形態の負荷状態検出回路40、期間設定回路41及びPFCオンオフ切換回路42とそれぞれ同様の回路であり、同様に接続されている。

力率改善回路50は、PFC部制御回路55の発生する制御信号により、NMOS52をオン、オフさせる。NMOS52がオンしたときに、トランス51の一次巻線にスイッチング電流が流れる。このスイッチング電流が流れることにより、トランス51にエネルギーが蓄積され、NMOS52がオフしたときに、そのエネルギーがトランス51の二次巻線及びダイオード53を介してコンデンサ54に充電される。

【0065】

DC/DC変換回路60のNMOS62は、DC/DC部制御回路65が発生する制御信号に基づきオン、オフし、NMOS62がオンしたときにコイル61にスイッチング電流が流れる。スイッチング電流が流れることにより、コイル61に蓄積されたエネルギーが、NMOS62がオフしている期間に、ダイオード63を介してコンデンサ64に蓄積される。コンデンサ64に蓄積されたエネルギーが、負荷Lに供給する直流出力電圧 V_0 になる。

【0066】

負荷状態検出回路70、期間設定回路71及びPFCオンオフ切換回路72は、第1の実施形態の負荷状態検出回路40、期間設定回路41及びPFCオンオフ切換回路42とそれぞれ同様に動作する。

【0067】

以上のように、本実施形態のスイッチング電源装置は、第1の実施形態とは異なる力率改善回路50及びDC/DC変換回路60を搭載しているが、負荷状態検出回路70、期間設定回路71及びPFCオンオフ切換回路72が、第1の実施形態の負荷状態検出回路40、期間設定回路41及びPFCオンオフ切換回路42とそれぞれ同様に動作する。そのため、第1の実施形態と同様に、負荷Lに与える直流出力電圧 V_0 の変動が抑制され、負荷Lの誤動作等を防止できる。

【0068】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。その変形例としては、次のようなものがある。

(1) 本発明は、力率改善回路 20, 50 ばかりでなく、種々の力率改善回路を搭載するスイッチング電源装置に適用できる。

(2) 本発明は、DC/DC 変換回路 30, 60 ばかりでなく、種々の DC/DC 変換回路を搭載するスイッチング電源装置に適用できる。

【0069】

(3) 図 3 の期間設定回路 41 は、シュミットトリガ回路 41d を備えているが、シュミットトリガ回路 41d の代わりに、図 7 に示すように直流電源 41e 及び比較器 41f を備えてもよい。

図 7 は、期間設定回路 41 の変形例を示す回路図である。

この場合、コンデンサ 41b の一方の電極と NMOS 41a のドレインとの接続点を比較器 41f の入力端子 (－) に接続し、直流電源 41e を比較器 41f の入力端子 (+) に接続すればよい。また、比較器 41f の出力に応じて直流電源 41e の発生する基準電圧を可変にし、シュミットインバータであるシュミットトリガ回路 41d を設けた場合と同様に、ヒステリシスを持たせてもよい。

【0070】

(4) 第 1 の実施形態では、シュミットトリガ回路を有する期間設定回路 41 を使用し、負荷状態検出回路 40 の出力信号 S40 と期間設定回路 41 の出力信号 S41 との間にヒステリシスを設け、力率改善回路 20 での充電の実施と停止とが安定して切替るようにした。これに対し、負荷状態検出回路 40 にシュミットトリガ回路等のヒステリシスを持たせる回路を設け、力率改善回路 20 での充電の実施と停止とが安定して切替るようにしてもよい。

【0071】

(5) 負荷状態検出回路 40 では、軽負荷状態か非軽負状態かを制御信号 S35 から判定しているが、直流出力電圧 V_0 から判定する構成、或いは負荷電流 I_0 から判定する構成、或いは帰還信号から判定する構成にしてもよい。

(6) PFC オンオフ切換回路 42 を PMOS 42a で構成して、制御信号 S25 を “L” に固定する構成にしたが、PFC オンオフ切換回路 42 が発生する信号で PFC 部制御回路 25 を活性化させたり、非活性にする構成にしてもよい。

【0072】

(7) 負荷状態検出回路40は、次の図8に示す負荷状態検出回路80に変更することが可能である。

図8は、負荷状態検出回路40の変形例の負荷状態検出回路80を示す回路図である。

この負荷状態検出回路80は、オン期間比較回路80Aと、基準期間発生回路80Bとを備えている。

【0073】

オン期間比較回路80Aは、遅延型フリップフロップ（以下、D-FFという）81で構成されている。D-FF81のデータ入力端子Dには、DC/DC部制御回路35からNMOS32のゲートに与える制御信号S35が入力される。D-FF81の正相出力端子Qが、この負荷状態検出回路80の出力端子となり、負荷Lが軽負荷状態か非軽負荷状態かを示す信号S40を出力する。

基準期間発生回路80Bは、第1の基準期間発生回路82と第2の基準期間発生回路83と、切替えスイッチ回路84とを備えている。第1の基準期間発生回路82は、図示しない内部発振器等が発生する周期波信号に同期し、第1の基準期間（T1）の幅を有するパルス信号P1を発生する回路である。第2の基準期間発生回路83は、その周期波信号に同期し、且つ、第1の基準期間より短い第2の基準期間（T2）の幅を有するパルス信号P2を発生する回路である。

【0074】

切替えスイッチ回路84は、2入力ANDゲート84aと、2入力ANDゲート84bと、2入力ORゲート84cとを備えている。ANDゲート84aの一方の入力端子は、第1の基準期間発生回路82の出力端子に接続され、ANDゲート84aの他方の入力端子は、D-FF81の逆相出力端子Qバーに接続されている。ANDゲート84aの出力端子が、ORゲート84cの一方の入力端子に接続されている。

【0075】

ANDゲート84bの一方の入力端子は、第2の基準期間発生回路83の出力端子に接続されている。ANDゲート84bの他方の入力端子は、D-FF81の

正相出力端子Qに接続されている。ANDゲート84bの出力端子が、ORゲート84cの他方の入力端子に接続されている。ORゲート84cの出力端子が、切替えスイッチ回路84の出力端子になり、D-FF81のクロック端子に接続されている。

【0076】

負荷状態検出回路80の動作を説明する。

第1の基準期間発生回路82は、図示しない発振器が発生する周期波信号に同期して、パルス幅がT1のパルス信号P1を発生する。第2の基準期間発生回路83は、パルス幅がT1よりも短いT2のパルス信号P2をその周期波信号に同期して発生する。

【0077】

D-FF81の正相出力端子Qと逆相出力端子Qバーとは、論理レベルが相補的な信号をそれぞれ出力する。D-FF81の逆相出力端子Qバーが“H”のときには、切替えスイッチ回路84のANDゲート84aは、第1の基準期間発生回路82が発生するパルス信号P1を通過させる。D-FF81の正相出力端子Qが“H”のときには、ANDゲート84bは第2の基準期間発生回路83が発生するパルス信号P2を通過させる。ORゲート84cは、ANDゲート84a、84bの出力信号の論理和を求めて、D-FF81のクロック端子に与える。即ち、切替えスイッチ回路84は、D-FF81の正相出力端子Qが“H”のときには第2の基準期間発生回路83を選択し、その出力信号をD-FF81のクロック端子に与え、D-FF81の逆相出力端子Qバーが“H”のときには、第1の基準期間発生回路82を選択してその出力信号をD-FF81のクロック端子に与える。

【0078】

D-FF81は、クロック端子のレベルが立ち下がったとき、DC/DC部制御回路35がNMOS32のゲートに与えている制御信号S35の信号レベルの状態をラッチする。

例えば、D-FF81の逆相出力端子Qバーが“H”になっているときに、切替えスイッチ回路84が第1の基準期間発生回路82を選択し、D-FF81の

クロック端子にパルス信号P1を与える。パルス信号P1が立下がったときに、制御信号S35が“H”でNMOS32がオンしている状態であれば、D-FF81が“H”をラッチし、正相出力端子Qから“H”を出力する。

制御信号S35が、パルス信号P1の立下がる以前に“L”になっていれば、D-FF81が“L”をラッチし、正相出力端子Qから“L”出力する。即ち、D-FF81は、NMOS32がオンしている期間と第1の基準期間発生回路82が発生する期間と比較し、その結果を信号S40に示す。負荷Lが軽い軽負荷状態のときには、NMOS32がオフするタイミングが早いので、信号S40が“L”になる。負荷Lが重い非軽負荷状態のときには、NMOS32がオフするタイミングが遅いので、信号S40が“H”になる。

【0079】

D-FF81の正相出力端子Qが“H”になっているときに、切替えスイッチ回路84は第2の基準期間発生回路83を選択し、D-FF81のクロック端子にパルス信号P2を与える。パルス信号P2が立下がったときに、制御信号S35が“H”でNMOS32がオンしている状態であれば、D-FF81が“H”をラッチし、正相出力端子Qのレベルが“H”になる。制御信号S35が、パルス信号P2の立下がる以前に“L”になっていれば、D-FF81が“L”をラッチし、正相出力端子Qのレベルを出力する。

即ち、D-FF81は、NMOS32がオンしている期間と、第2の基準期間発生回路83が発生する期間と比較し、その結果を信号S40に示す。負荷Lが軽い軽負荷状態のときには、NMOS32がオフするタイミングが早いので、信号S40が“L”になる。負荷Lが重い非軽負荷状態のときには、NMOS32がオフするタイミングが遅いので、信号S40が“H”になる。

【0080】

なお、第1の基準期間発生回路82で設定する期間(T1)を、第2の基準期間発生回路83で設定する基準期間(T2)よりも長くしたことにより、切替えスイッチ回路84での選択切替えにヒステリシスが付けられる。

【0081】

(8) 図4のPFCオンオフ切換回路42は、PMOS42aをオンして、

PFC部制御回路25の出力端子を接地させることにより、スイッチング素子のNMOS22のスイッチング動作を停止させている。この方法では、PFC部制御回路25を駆動する図示しない制御電源が接地されることになり、損失が大きくなる。このような損失を防ぐために、次の図9及び図10のPFCオンオフ切換回路90, 100を用いてもよい。

【0082】

図9は、PFCオンオフ切換回路42の変形例のPFCオンオフ切換回路90を示す回路図である。

このPFCオンオフ切換回路90は、インバータ91と、3個のNPN型トランジスタ92, 93, 94と、2個のPNP型トランジスタ95, 96と、定電流源97とを備えている。インバータ91の入力端子には、期間設定回路41より、信号S41が入力される。インバータ91の出力端子が、トランジスタ92のベースに接続されている。トランジスタ92のエミッタは接地されている。

トランジスタ92のコレクタと、トランジスタ93のコレクタ及びベースと、トランジスタ94のベースとは、定電流源97に接続されている。トランジスタ93, 94のエミッタは共に接地されている。トランジスタ93, 94は、カレントミラー回路を構成している。

【0083】

トランジスタ94のコレクタが、トランジスタ95のコレクタ及びベースと、トランジスタ96のベースとに接続されている。トランジスタ95, 96のエミッタは、電源に共通に接続されている。トランジスタ95, 96は、カレントミラー回路を構成している。トランジスタ96のコレクタが、PFC部制御回路25の電流入力端子に接続されている。

【0084】

図9のPFCオンオフ切換回路90では、期間設定回路41から与えられた信号S41のレベルが高ければ、インバータ91が“L”を出力し、トランジスタ92がオフする。これにより、トランジスタ93及びトランジスタ94のベース電圧が上昇し、トランジスタ93及びトランジスタ94がオンする。つまり、トランジスタ93, 94からなるカレントミラー回路がオンする。トランジスタ9

4 がオンすることにより、トランジスタ 95 及びトランジスタ 96 のベース電圧が低下し、トランジスタ 95 及びトランジスタ 96 からなるカレントミラー回路がオンする。これにより、PFC 部制御回路 25 に駆動電流 I_{bias} が、トランジスタ 96 を介して流入する。駆動電流 I_{bias} が与えられた PFC 部制御回路 25 は動作を開始し、NMOS 22 をオン、オフする制御信号 S25 を発生する。

【0085】

期間設定回路 41 から与えられた信号 S41 のレベルが低ければ、インバータ 91 が “H” を出力し、トランジスタ 92 がオンする。トランジスタ 92 がオンすることにより、トランジスタ 93 及びトランジスタ 94 のベース電圧が低下し、トランジスタ 93, 94 で構成されるカレントミラー回路がオフ状態になる。トランジスタ 94 がオフすることにより、カレントミラー回路を構成するトランジスタ 95, 96 のベース電圧が上昇し、トランジスタ 96 がオフする。トランジスタ 96 がオフすることにより、PFC 部制御回路 25 には駆動電流 I_{bias} が流入しなくなり、PFC 部制御回路 25 の動作は、停止する。即ち、NMOS 22 のオンオフを制御する制御信号 S25 が “L” に固定され、NMOS 22 のオン、オフが停止される。

【0086】

この図 9 の PFC オンオフ切換回路 90 では、PFC 部制御回路 25 の内部の駆動電流 I_{bias} を PFC 部制御回路 25 に流入させないことにより、NMOS 22 のオン、オフを停止するので、PFC 部制御回路 25 での電力消費を大幅に抑制できる。

【0087】

図 10 は、PFC オンオフ切換回路 42 の他の変形例の PFC オンオフ切換回路 100 を示す回路図である。

この PFC オンオフ切換回路 100 は、抵抗 101 と、NPN 型トランジスタ 102 と、抵抗 103 と、PNP 型トランジスタ 104 とで構成されている。抵抗 101 の一端には、期間設定回路 41 から信号 S41 が入力される。抵抗 101 の他端がトランジスタ 102 のベースに接続されている。トランジスタ 102 のエミッタが接地され、トランジスタ 102 のコレクタが抵抗 103 の一端に接

続されている。抵抗 103 の他端がトランジスタ 104 のベースに接続されている。

【0088】

トランジスタ 104 のエミッタが電源に接続され、トランジスタ 104 のコレクタが PFC 部制御回路 25 の電源端子に接続されている。トランジスタ 104 は、PFC 部制御回路 25 に供給される電力を遮断するスイッチとなる。

期間設定回路 41 が出力する信号 S41 のレベルが高いときには、トランジスタ 102 がオン状態であり、トランジスタ 104 のベース電圧を降下させている。よって、トランジスタ 104 がオン状態であり、PFC 部制御回路 25 に電力が供給され、PFC 部制御回路 25 が動作する。これにより、NMOS 22 がオン、オフされる。期間設定回路 41 の出力信号 S41 のレベルが低下すると、トランジスタ 102 がオフし、トランジスタ 104 がオフする。この状態では、PFC 部制御回路 25 に電力が供給されず、PFC 部制御回路 25 は動作せず、NMOS 22 はオン、オフしない。

【0089】

この図 10 の PFC オンオフ切換回路 100 では、トランジスタ 104 が PFC 部制御回路 25 の電源を遮断するため、PFC 部制御回路 25 での電力損失を最小限に抑制できる。

【0090】

【発明の効果】

以上詳細に説明したように、本発明によれば、力率改善回路と DC/DC 変換回路とを搭載した電源装置に、負荷状態検出手段、期間設定手段及び切換手段を設けたので、負荷が非軽負荷状態から軽負荷状態になることが、繰り返されても、直流出力電圧の変動を抑制できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るスイッチング電源装置を示す構成図である。

【図 2】

図 1 中の DC/DC 部制御回路、出力電圧検出回路及び負荷状態検出回路を示

す回路図である。

【図 3】

図 1 中の期間設定回路を示す回路図である。

【図 4】

図 1 中の P F C オンオフ切換回路を示す回路図である。

【図 5】

図 1 の D C / D C 変換回路の出力電圧の状態を説明するためのタイミングチャートである。

【図 6】

本発明の第 2 の実施形態に係るスイッチング電源装置を示す構成図である。

【図 7】

期間設定回路の変形例を示す回路図である。

【図 8】

負荷状態検出回路の変形例を示す回路図である。

【図 9】

P F C オンオフ切換回路の変形例を示す回路図である。

【図 10】

P F C オンオフ切換回路の他の変形例を示す回路図である。

【図 11】

従来のスイッチング電源装置を示す構成図である。

【図 12】

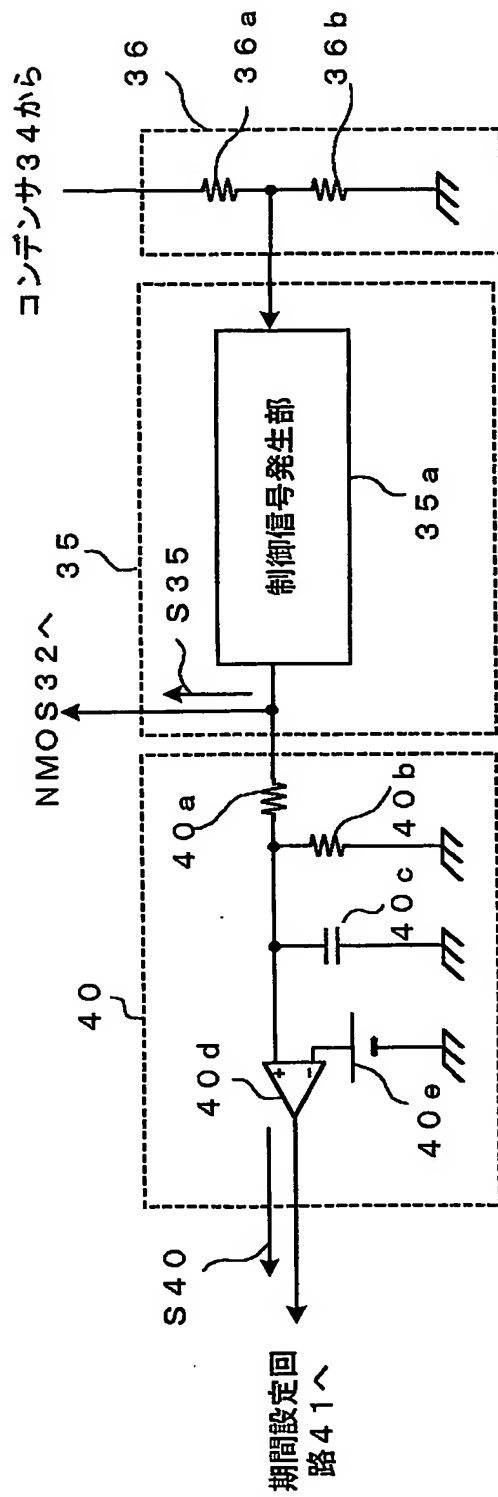
従来のスイッチング電源装置の課題を説明するためのタイミングチャートである。

【符号の説明】

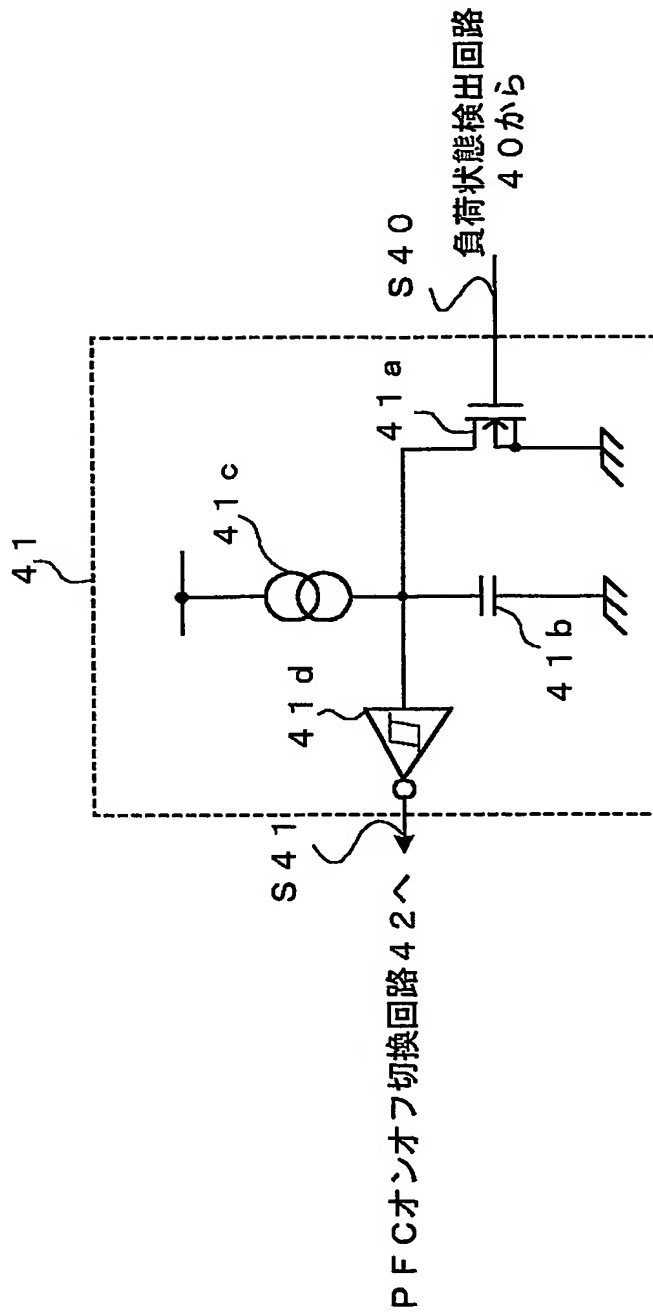
20, 50	力率改善回路
30, 60	D C / D C 変換回路
21, 61	コイル
22, 52	N M O S
24, 54	コンデンサ

31, 51	トランス
23, 33	ダイオード
40, 70, 80	負荷状態検出回路
41, 71	期間設定回路
42, 72, 90, 100	PFC オンオフ切換回路

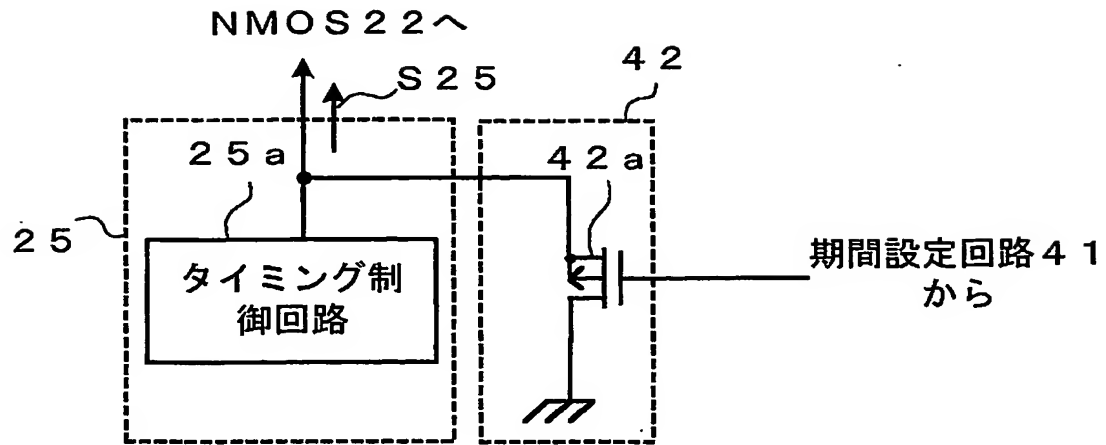
【図2】



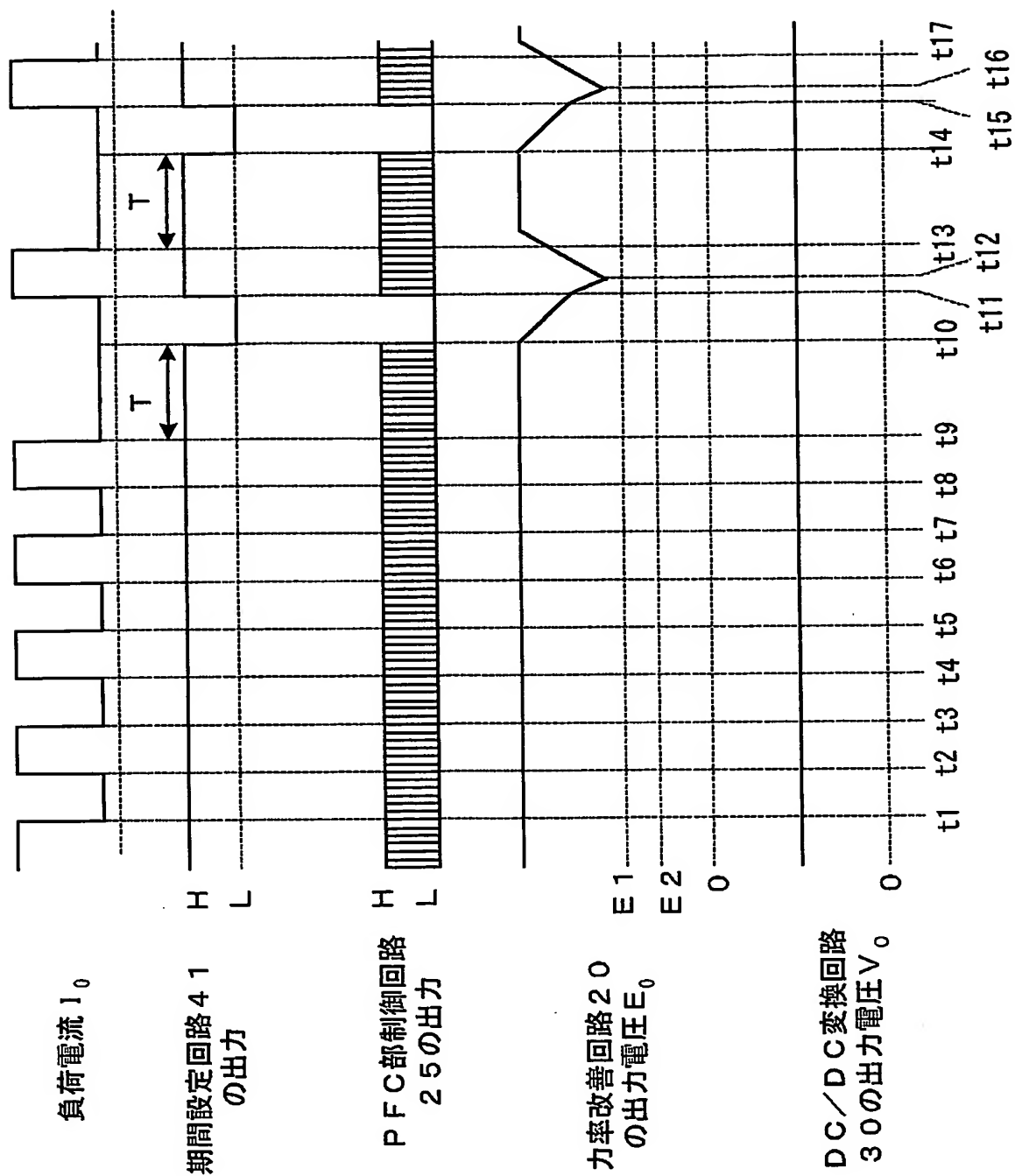
【図 3】



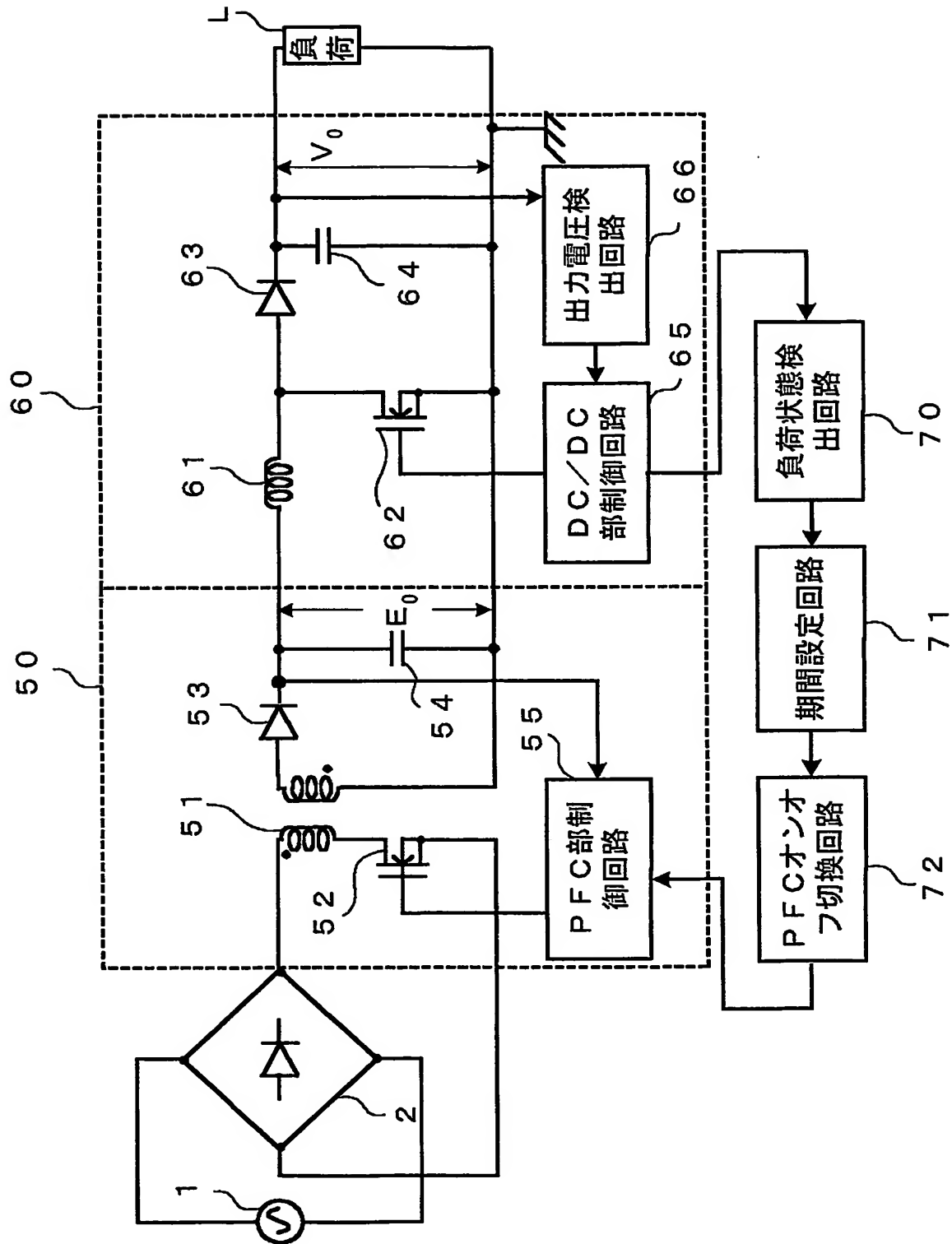
【図 4】



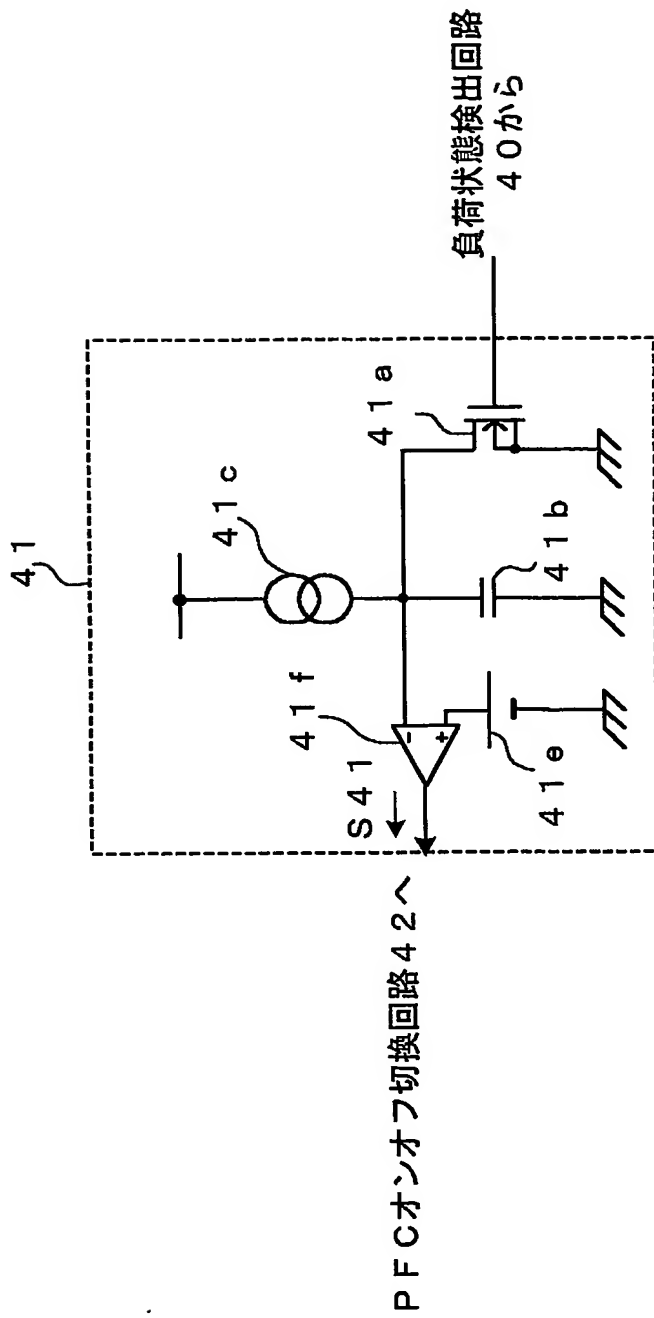
【図 5】



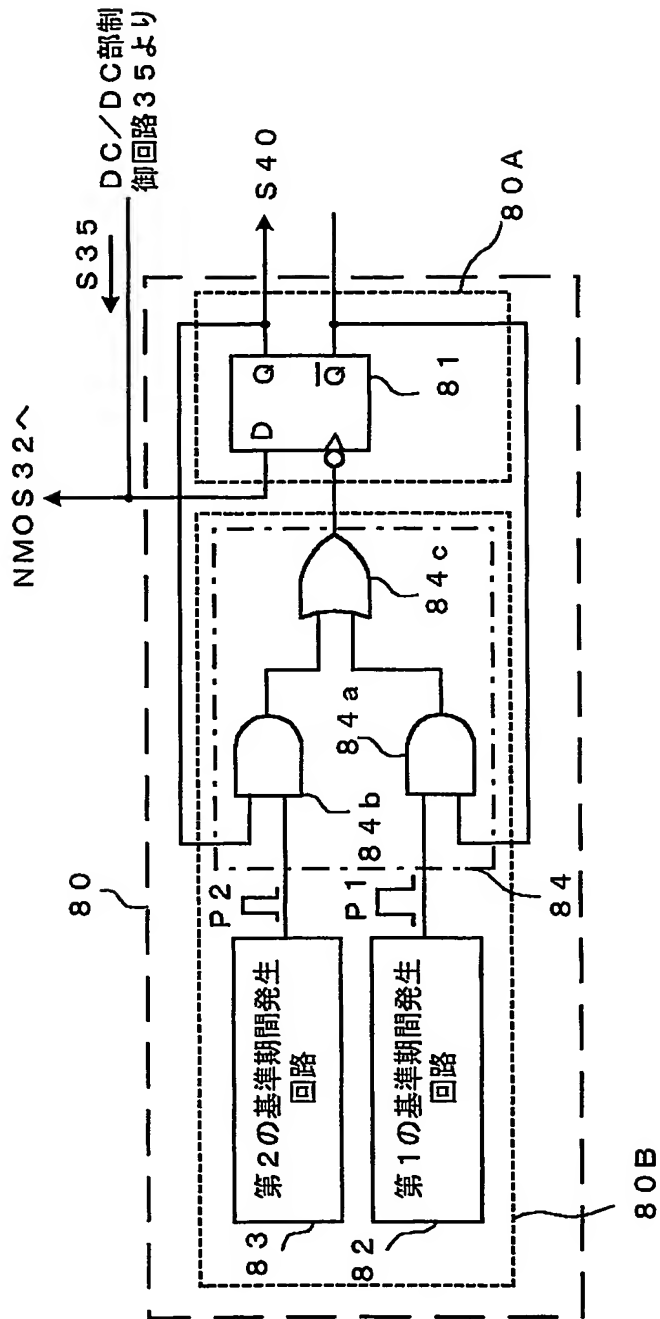
【図6】



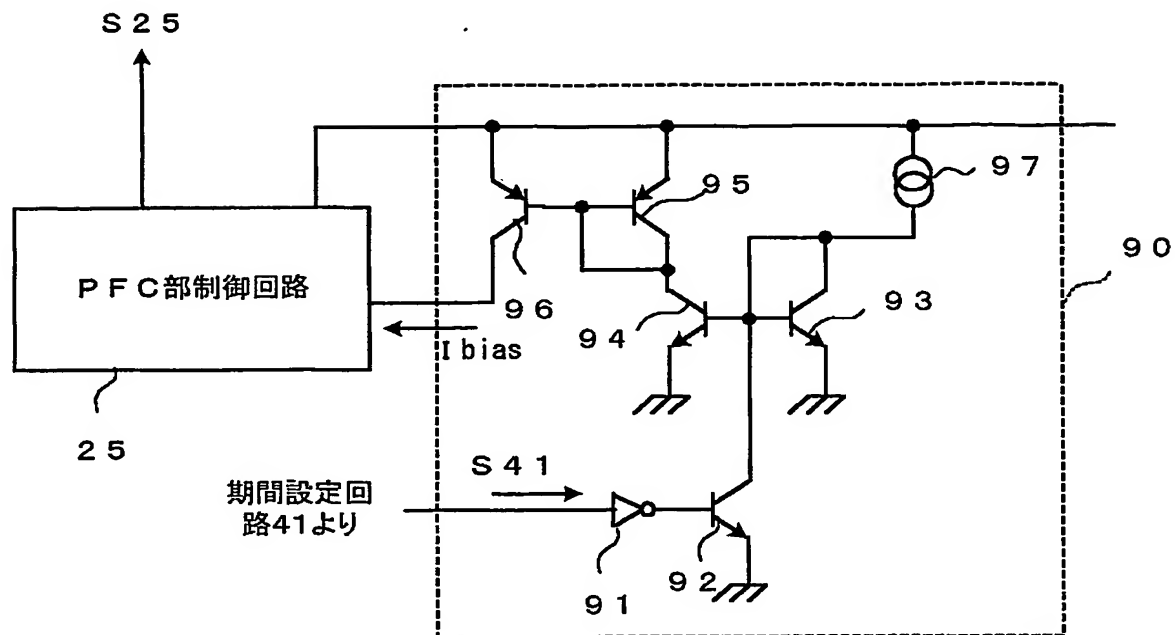
【図 7】



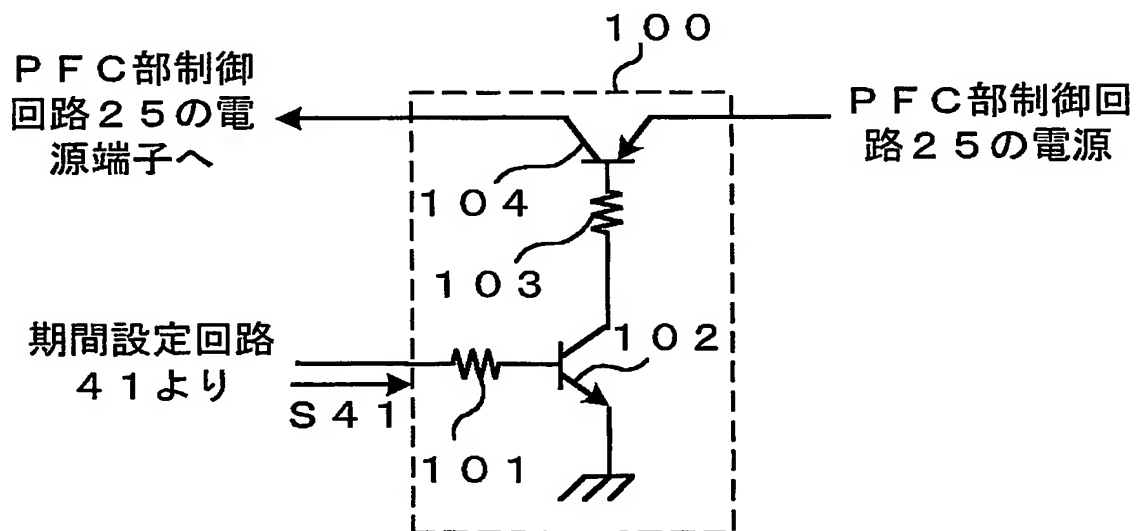
【図8】



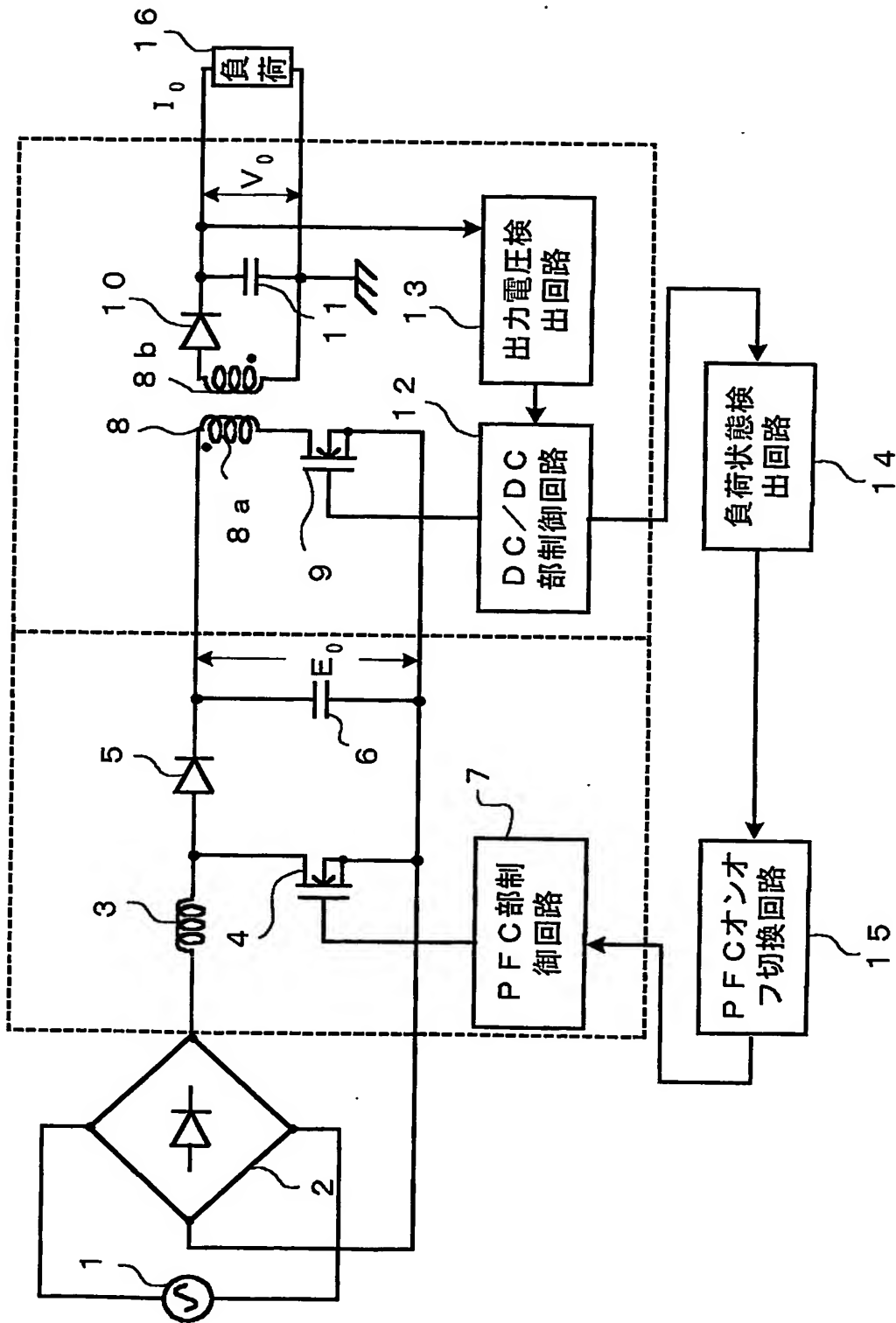
【図9】



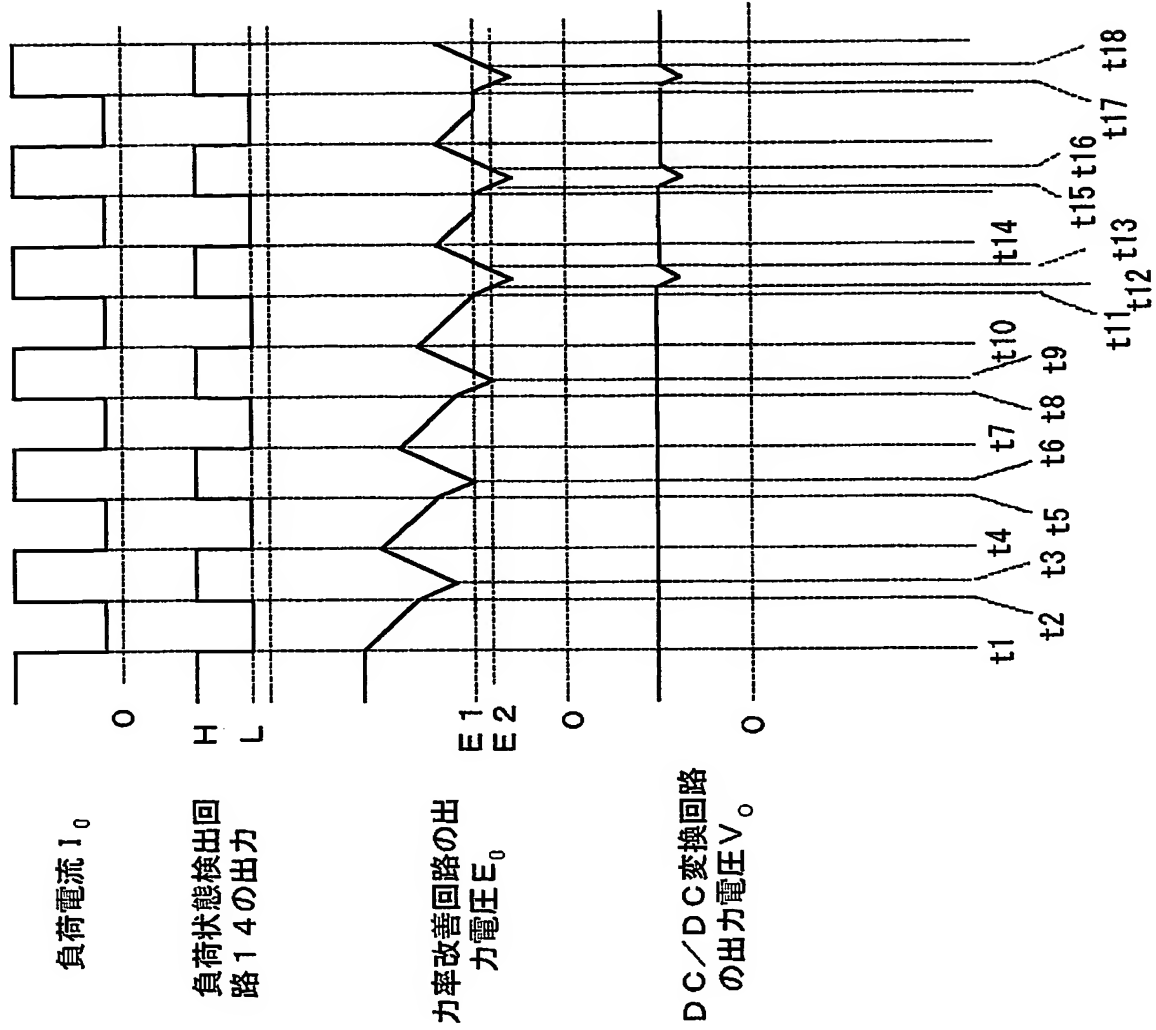
【図10】



【図11】



【図 12】



【書類名】 要約書

【要約】

【課題】 力率改善回路とDC/DC変換回路とを備えるスイッチング電源装置の直流出力電圧の変動を抑制する。

【解決手段】 NMOS 22 がオン、オフすることで、直流電圧 E_0 がコンデンサ 24 に充電され、DC/DC変換回路 30 が負荷 L に供給する直流出力電圧 V_0 をコンデンサ 34 に充電する。負荷状態検出回路 40 は、負荷 L が所定値よりも軽い軽負荷状態か、所定値よりも重い非軽負荷状態かを検出する。期間設定回路 41 は、非軽負荷状態のときには強制的に“H”となり、非軽負荷状態から軽負荷状態に遷移したときに所定時間遅れて“L”となる信号 S41 を発生する。信号 S41 が“H”の期間には、PFC部制御回路 25 から NMOS 22 に与える制御信号が有効になり、信号 S41 が“L”の期間には、制御信号が無効化される。

【選択図】 図 1

特願 2002-373027

出 願 人 履 歴 情 報

識別番号

[000106276]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

埼玉県新座市北野3丁目6番3号

氏 名

サンケン電気株式会社